

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-272612

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

G06F 9/38

G06F 11/25

(21)Application number : 07-096043

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.03.1995

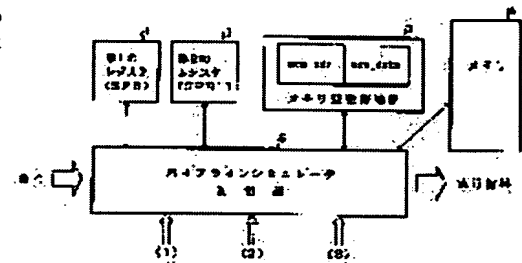
(72)Inventor : ODAJIMA MAKOTO

(54) PIPELINE COMPUTER SIMULATOR

(57)Abstract:

PURPOSE: To provide a simulator which can faithfully simulate a pipeline computer to the hardware and also can intuitively perform a correct step operation of a single instruction.

CONSTITUTION: A duplex register includes a 1st register 1 which performs a writing operation at an execution stage and a 2nd register 2 which simulates the operation of a pipeline computer. A memory variable store part 3 stores the address and data variables. A pipeline simulator control part 5 refers to or changes the first or second registers 1 or 2 according to the timing and reading/writing states and then outputs the register value at the corresponding execution stage. The part 5 also selectively uses both address and data variables of the part 3 according to the referring or changing state and outputs the memory value that is calculated at the corresponding execution stage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
5 (11)【公開番号】特開平8-272612
(43)【公開日】平成8年(1996)10月18日
(54)【発明の名称】パイプライン計算機シミュレータ
(51)【国際特許分類第6版】

G06F 9/38 380

10 11/25

【F1】

G06F 9/38 380 C

11/26 310

【審査請求】未請求

15 【請求項の数】5

【出願形態】FD

【全頁数】7

(21)【出願番号】特願平7-96043

(22)【出願日】平成7年(1995)3月29日

20 (71)【出願人】

【識別番号】000000295

【氏名又は名称】沖電気工業株式会社

【住所又は居所】東京都港区虎ノ門1丁目7番12号

(72)【発明者】

25 【氏名】小田島 眞

【住所又は居所】東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

(74)【代理人】

【弁理士】

30 【氏名又は名称】佐藤 幸男 (外1名)

(57)【要約】

35 【目的】ハードウェアに忠実にシミュレートしながら、1命令のステップ動作が直感的に正しく動作するシミュレータを得る。

【構成】実行ステージで書き込みを行う第1のレジスタ1と、パイプライン計算機の動作をシミュレートする第2のレジスタ2とでレジスタを2重化する。メモリ変数格納部3は、アドレス変数とデータ変数とを格納する。パイプラインシミュレータ制御部5は、タイミングと読み書きする状況によって、参照または変更するレジスタを、第1のレジスタ1または第2のレジスタ2として、実行ステージで、その実行ステージのレジスタの値を出力する。また、パイプラインシミュレータ制御部5は、参照または変更する状況に応じて、メモリ変数格納部3のアドレス変数とデータ変数とを選択的に用い、実行ステージで、その実行ステージの演算したメモリの値を出力する。

50

【特許請求の範囲】

【請求項1】与えられた命令による演算処理を実行する実行ステージと、この実行ステージによる演算結果をレジスタに書き込むライトバックステージとを含む1命令の処理をパイプライン処理するパイプライン計算機の状態をシミュレートするパイプライン計算機シミュレータにおいて、前記実行ステージで書き込みを行う第1のレジスタと、パイプライン計算機のサイクルをシミュレートする第2のレジスタと、タイミングと読み書きする状況によって、参照または変更するレジスタを、前記第1または第2のレジスタとし、前記実行ステージ終了後に、その実行ステージで演算処理したレジスタの値を出力するパイプラインシミュレータ制御部を備えたことを特徴とするパイプライン計算機シミュレータ。

【請求項2】与えられた命令によるメモリのアドレス演算を行う実行ステージと、この実行ステージで演算したアドレスにロードまたはストアを行うメモリステージとを含む1命令の処理をパイプライン処理するパイプライン計算機の状態をシミュレートするパイプライン計算機シミュレータにおいて、前記メモリステージでストアを行うメモリのアドレスとそのアドレスのデータを保持するアドレス変数とデータ変数とを格納する変数格納部と、参照または変更する状況に応じて、前記アドレス変数とデータ変数とを選択的に用いて、前記実行ステージ終了後に、その実行ステージで演算したメモリの内容を出力するパイプラインシミュレータ制御部を備えたことを特徴とするパイプライン計算機シミュレータ。

【請求項3】請求項1記載のパイプライン計算機シミュレータにおいて、命令からレジスタを参照または変更する場合は、実行ステージにおいて、前記第1のレジスタに対して参照または変更を行い、計算機の内部動作として変更する場合は、実行ステージにおいて、第1および第2のレジスタ双方に対して行い、参照する場合は、前記第2のレジスタに対して行い、シミュレータのコマンドとして参照する場合は、前記第1のレジスタ、変更は双方のレジスタに対して行うよう制御するパイプラインシミュレータ制御部とを備えたことを特徴とするパイプライン計算機シミュレータ。

【請求項4】請求項2記載のパイプライン計算機シミュレータにおいて、命令から変更する場合は、実行ステージにおいて、前記アドレス変数と前記データ変数にそれぞれストアするアドレスとデータとを格納し、メモリステージで当該アドレス変数で示されるアドレスに、前記データ変数で示されるデータをストアし、計算機の内部動作として参照または変更する場合は、メモリの値をそのまま読み書きし、シミュレータのコマンドとして参照または変更する場合は、そのコマンドのアドレスの値と、前記変数アドレスの値とを比較し、一致すれば前記変数データの内容を出力し、一致しなければ、前記メモリの値を出力するパイプラインシミュレータ制御部を備えたことを特徴とするパイプライン計算機シミュレータ。

【請求項5】与えられた命令による演算処理を実行する実行ステージと、この実行ステージによる演算結果をレジスタに書き込むライトバックステージとを含む1命令の処理を

パイプライン処理するパイプライン計算機の状態をシミュレートするパイプライン計算機シミュレータにおいて、前記実行ステージで書き込みを行う第1のレジスタと、パイプライン計算機のサイクルをシミュレートする第2のレジスタと、前記メモリステージでストアを行うメモリのアドレスとそのアドレスのデータを保持するアドレス変数とデータ変数とを格納する変数格納部と、命令からレジスタを参照または変更する場合は、実行ステージにおいて、前記第1のレジスタに対して参照または変更を行い、計算機の内部動作として変更する場合は、実行ステージにおいて、第1および第2のレジスタ双方に対して行い、参照する場合は、前記第2のレジスタに対して行い、シミュレータのコマンドとして参照する場合は、前記第1のレジスタ、変更は双方のレジスタに対して行うよう制御すると共に、命令からメモリ内容を変更する場合は、実行ステージにおいて、前記アドレス変数と前記データ変数にそれぞれストアするアドレスとデータとを格納し、メモリステージで当該アドレス変数で示されるアドレスに、前記データ変数で示されるデータをストアし、計算機の内部動作として参照または変更する場合は、メモリの値をそのまま読み書きし、シミュレータのコマンドとして参照または変更する場合は、そのコマンドのアドレスの値と、前記変数アドレスの値とを比較し、一致すれば前記変数データの内容を出力し、一致しなければ、前記メモリの値を出力して、前記実行ステージ終了後に、その実行ステージで演算処理したレジスタおよびメモリの値を出力するパイプラインシミュレータ制御部を備えたことを特徴とするパイプライン計算機シミュレータ。

詳細な説明

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、汎用計算機上でパイプライン計算機のサイクル毎の状態をシミュレートするパイプライン計算機シミュレータに関するものである。

【0002】

【従来の技術】情報処理装置において、パイプライン制御は処理の能率化を図るための方法としてよく知られている。このようなパイプライン制御とは、例えば、命令フェッチステージ（IFステージ）、デコードステージ（Dステージ）、実行ステージ（Eステージ）、メモリステージ（Mステージ）、ライトバックステージ（Wステージ）の5段階の処理が複数の命令毎に連続して流れていく。

【0003】そして、このようなパイプライン計算機で実行するプログラムの論理デバッグ、プログラムの性能評価、性能向上、あるいはパイプラインの状態を観測するといったことを行うため、パイプライン制御をシミュレートするパイプライン計算機シミュレータが用いられている。

【0004】

【発明が解決しようとする課題】ところで、上述したようなプログラムの論理デバッグを行う場合、1命令単位

のステップ実行は有用である。これは、プログラムの論理デバッグを行う場合は、プログラムの制御フローとデータフローに関心があり、サイクル単位のシミュレーションで求められる各サイクルの状態、ウェイト情報は、この場合必要とされないからである。

【0005】プログラムの1命令単位のステップ実行を行う場合、通常1ステップ実行をシミュレータのコマンドとして指定し、実行させた場合、その命令が実行終了したとみなすのが自然である。

【0006】しかしながら、上記パイプライン計算機シミュレータで、1命令の完了をどのステージにするかによって、期待するレジスタの値と違う結果をステップ終了時に表示することになるという欠点がある。例えば、1ステップの終了をその実行ステージが終了した時点とした場合、その時点ではデスティネーションレジスタの値がその実行結果になっていない場合がある。

【0007】また、これを避けるために1命令のステップ終了をライトバックステージ終了時点とした場合は以下の問題がある。即ち、通常、プログラムカウンタ（PC）は、実行ステージにある命令のアドレスを指しているため、PCの値が期待とは異なった値を指すことになる。更に、ある命令がジャンプ命令である場合は、1ステップの終了後のPCは、ジャンプ先のアドレスを指している場合もあり得るのでPCの値から現在のステップ実行命令を推測することは不可能である。

【0008】このような点から、サイクル毎のパイプラインの状態の忠実なシミュレーションを行うという特長を損なわずに、1命令ステップ動作が直感的に正しく動作するパイプライン計算機シミュレータの実現が望まれていた。

【0009】

【課題を解決するための手段】本発明のパイプライン計算機シミュレータは、実行ステージで書き込みを行う第1のレジスタと、パイプライン計算機のサイクルをシミュレートする第2のレジスタとでレジスタを2重化する。そして、タイミングと読み書きする状況によって、参照または変更するレジスタを、第1または第2のレジスタとして、実行ステージ終了後に、その実行ステージで演算処理したレジスタの値を出力するパイプラインシミュレータ制御部を設けたものである。

【0010】

【作用】本発明のパイプライン計算機シミュレータにおいて、第1のレジスタは実行ステージで書き込みが行われる。一方、第2のレジスタは、パイプライン計算機のサイクルを忠実にシミュレートする。パイプラインシミュレータ制御部は、例えば、命令やシミュレータのコマンドといった読み書きする状況に応じて、第1のレジスタおよび第2のレジスタに対して参照または変更を行い、実行ステージ終了後に、その実行ステージで演算処理したレジスタの値を出力する。

【0011】

【実施例】以下、本発明の実施例を図面を用いて詳細に

説明する。図1は、本発明のパイプライン計算機シミュレータにおける一実施例の構成図であるが、これに先立ち、パイプライン計算機におけるパイプライン制御を説明する。

5 【0012】図2は、そのパイプライン制御の一例である。まず、IFステージ（命令フェッチステージ）では、命令を主記憶装置あるいはキャッシュから読み出す。尚、この主記憶装置やキャッシュあるいはレジスタ等の構成については、パイプライン計算機における一般的な構成であるため、図示およびその説明は省略する。

10 【0013】次に、Dステージ（デコードステージ）では、読み出した命令をデコードすると同時に演算対象となるソースレジスタの値を読み出す。Eステージ（実行ステージ）では、読み出したソースレジスタの値に対し、演算を行う。また、主記憶装置に対するロード、ストア命令の場合は、アドレス演算を行う。更に、Mステージ（メモリステージ）では、命令がロード、ストア命令の場合に、そのアドレスを送出し、ロード命令の場合、主記憶装置からのデータを取り込み、ストア命令の場合は、データを送出する。そして、Wステージ（ライトバックステージ）では、演算、あるいはロードされたデータを、命令で指定されたデスティネーションレジスタに書き戻す。

25 【0014】このようなパイプライン計算機におけるサイクル毎のシミュレーションを行うのが、パイプライン計算機シミュレータであり、上記のようなパイプラインを持つハードウェアのパイプラインを忠実にシミュレートするため、サイクル毎に前サイクルのパイプラインの状態から現在のパイプラインの状態を計算して求めている。

30 【0015】例えば、図2のサイクル（ $c+4$ ）では、命令1のライトバックステージの状態、命令2のメモリステージの状態、命令3の実行ステージの状態、命令4のデコードステージの状態、現在の他のステージの状態を利用して求めている。また、サイクル（ $c+5$ ）では、何らかのウェイトが入り、パイプラインがストールしたことを示している。

40 【0016】このようにサイクル毎にパイプラインの状態を求めることにより、例えば、キャッシュミスによる命令実行のウェイト、レジスタ競合によるパイプラインストール等のシミュレーションが可能になる。そして、このようなパイプライン計算機シミュレータを用いることで、パイプライン計算機のプログラムの論理デバッグやプログラムの性能評価が行え、かつ、パイプラインの状態を観測することで、パイプライン計算機の性能を向上するのに利用できるものである。

50 【0017】一方、パイプライン計算機シミュレータにおいて、上述したように、1命令の完了をどのステージにするかによって、期待するレジスタの値と違う結果をステップ終了時に表示することになるという問題がある。例えば、1ステップの終了をその実行ステージが終了した時点とした場合、即ち、サイクル（ $c+4$ ）で命令3

のステップの終了とみなした場合、命令3は、実際には、実行ステージが終了したところであるから、実行結果のレジスタの書き込みが終了しておらず、この時点で、命令3で指定したデスティネーションレジスタの値は、実行結果になっていない。

55 【0018】デスティネーションレジスタが期待する値になるためには、この時点のパイプラインの状態等により不定のサイクル数後となるため、一般的にはレジスタの値が変化するタイミングを見つけるのは困難である。また、これを避けるために1命令のステップ終了をライトバックステージ終了時点、即ち、サイクル（ $c+6$ ）で命令3のステップ終了とみなす場合、図に示すようにプログラムカウンタ（PC）が実行ステージにある命令のアドレスを指しているとする、サイクル（ $c+6$ ）では、PCの値が（ $n+12$ ）となり命令4のアドレスを指していることになる。このように、PCの値から現在のステップ実行命令を推測することは不可能である。

70 【0019】そこで、本発明では、1命令のステップ実行を行う場合に、期待するレジスタの値と停止したサイクルでのレジスタの値が異なるという問題点を解決するため、実行ステージ終了時にデスティネーションレジスタやメモリ内容が変更後の値を表示可能とする構成を備えたものであり、以下、これを更に説明する。

75 【0020】図2に示すようなパイプライン構成を持つパイプライン計算機の場合、レジスタへの書き込みはライトバック（W）ステージで行われ、レジスタからの読み出しはデコード（D）ステージで行われる。従って、以下のようにレジスタの競合が発生する場合がある。

80 【0021】図3は、このようなレジスタの競合が発生する場合のパイプラインの状態である。図3のような命令シーケンスのように、レジスタ競合、即ち、次命令のソースレジスタが、現命令のデスティネーションレジスタ（この例の場合レジスタ r_3 ）である場合、図示のようにパイプラインストールが3サイクル生じる。しかし、これは通常のパイプライン計算機では、レジスタバイパス、即ち、命令1の演算結果を直接命令2の演算の入力レジスタへバイパスする方式を取ることでパイプラインストールが生じないようにしている。

90 【0022】本発明のパイプライン計算機シミュレータでは、実行ステージにおいて、レジスタの読み出し、演算、レジスタへの書き込みを行う。また、1命令のステップ実行の切れ目は、命令の実行ステージが終了した時点とする。こうすることにより1命令のステップ実行終了後にレジスタが演算結果と一致する。また、レジスタバイパスの複雑な機構をシミュレートする必要がなくなり、シミュレーション速度とシミュレータ開発速度を向上できる。

【0023】しかしながら、上記のように実行ステージで、レジスタの読み出し、演算、書き込みを行うと、値を設定することによりパイプライン計算機自体の動作が変化するようなレジスタの場合は、ハードウェアとのタイミングの差異が生じ、忠実なシミュレーションができ

なくなる。

【0024】また、メモリアクセスも、実行ステージで行い、ロード命令の場合、メモリから読み出し、レジスタに格納する。ただし、ストア命令の場合は、タイミングを忠実にシミュレートするため、メモリには、ハードウェアのタイミングと同じタイミングで書き込む。ここで、ロード命令の場合はアクセスタイミングがハードウェアとずれるが、メモリのようにタイミングがずれても値が変化しないようなデバイスの場合問題は生じない。

一方、ストア命令の場合は、メモリアクセスタイミングをハードウェアと同じにしているので、1命令ステップ実行終了後にメモリ内容を表示させると以前の内容が表示されることになる。

【0025】次に、図1を参照して本実施例のパイプライン計算機シミュレータを説明する。図1の装置は、第1のレジスタ(SPR)1、第2のレジスタ2(SPR)、メモリ変数格納部3、メモリ4、パイプラインシミュレータ制御部5からなる。

【0026】第1のレジスタ1は、ユーザから見ることでできるレジスタであり、第2のレジスタ2は、ハードウェアのタイミングで書き込みを行うレジスタである。メモリ変数格納部3は、アドレス変数 `mem_adr` とデータ変数 `mem_data` の変数を格納するためのメモリであり、アドレス変数 `mem_adr` とデータ変数 `mem_data` は、それぞれ、メモリステージでストアするメモリ4のアドレスとデータとを保持するためのものである。また、メモリ4は、そのメモリである。

【0027】パイプラインシミュレータ5は、種々のケースに基づき第1のレジスタ2または第2のレジスタ3にアクセスして、その実行ステージ終了後に、その実行ステージにおけるレジスタの値を出力すると共に、メモリ変数格納部3のアドレス変数 `mem_adr` とデータ変数 `mem_data` に基づきその実行ステージのメモリ状態を出力する機能を備えている。

【0028】次に、このように構成されたパイプライン計算機シミュレータの動作について説明する。まず、本実施例のパイプライン計算機シミュレータでは、レジスタ、メモリを変更、参照する場合として、(1) 命令から参照、変更する場合(2) 計算機の内部動作として参照、変更する場合、例えばキャッシュのページを行うレジスタを参照して、実際のキャッシュページを行う場合である。

(3) シミュレータのコマンドとしてユーザが会話的に変更、参照する場合を考える。

【0029】最初に、レジスタについて記す。レジスタを、その値が計算機の動作に影響を与えない汎用レジスタと、その値によって計算機の動作に影響を与える特殊レジスタに分類する。この特殊レジスタの例としては、プログラムカウンタ、プロセッサステータスレジスタ等がある。

【0030】汎用レジスタに関しては、タイミングのずれが計算機の動作に影響を与えないので、実行ステージにおいて書き込みを行ってもハードウェアの忠実なタイ

ミングのシミュレーションには影響しない。従って、汎用レジスタについては、実行ステージで読み出し、書き込みを行う。

【0031】一方、特殊レジスタについては2重化するもので、これが第1のレジスタ1と第2のレジスタ2であり、パイプラインシミュレータ制御部5は、(1)~(3)のいずれかの場合の指示に応じて第1、第2のレジスタ1、2にアクセスし、実行ステージ後に変更された値を出力するものである。

【0032】(1) 命令から参照、変更する場合、パイプラインシミュレータ制御部5は、命令からの参照、変更のシミュレータ指示があると、レジスタバイパスがあるものとして、実行ステージにおいて第1のレジスタ1に対して行う。またライトバックステージにおいて、第2のレジスタ2に対し書き込みを行う。

【0033】図4は、この状態の説明図である。ここで、■および■は、それぞれ第1のレジスタ1および第2のレジスタ2の書き込みタイミングを示している。従って、1命令の実行ステージ後に第1のレジスタ1を参照した場合、変更された値が表示されることになる。また、タイミングは、第2のレジスタ2により忠実にシミュレートされているため、ハードウェアとタイミングが一致する。

【0034】(2) 計算機の内部動作として参照、変更する場合この場合、変更は、第1のレジスタ1および第2のレジスタ2共に行う。また、参照は、第2のレジスタ2に対して行う。即ち、このような場合の変更は、レジスタの値は実行ステージで書き込まれるからである。また、参照の場合、実行ステージのタイミングでは、第1のレジスタ1の値がハードウェアとは異なる値となっている場合があるからである。

【0035】(3) シミュレータのコマンドとしてユーザが会話的に変更、参照する場合参照は、第1のレジスタ1に対して行い、変更は、第1のレジスタ1および第2のレジスタ2の双方に対して行う。

【0036】以上により、各命令の実行ステージ終了後に、第1のレジスタ1を参照すれば変更された値が表示されることになる。また、タイミングは、上記(1)~(3)において、第2のレジスタ2により忠実にシミュレートされているため、ハードウェアとタイミングが一致する。

【0037】次にメモリ4に対するアクセスの場合を記す。パイプラインシミュレータ制御部5は、ロード命令が与えられた場合、実行ステージにおいて、メモリ4からデータを読み、レジスタに格納する。この場合のレジスタ格納法は上記に従う。

【0038】一方、ストア命令の場合、1命令ステップ終了後は、メモリ4の内容が変更されているものとして表示するが、実際にメモリ4に書き込むタイミングはハードウェアをシミュレートする。これを実現するため、上記レジスタの場合と同様な方法が考えられるが、メモリ4は通常、レジスタに比べて大容量のため、全てを2

重化することはできない。従って、メモリステージ用にアドレスとデータを格納する変数を用意する。これが、メモリ変数格納部3のアドレス変数 mem_adr、データ変数 mem_data である。

- 1 第1のレジスタ
- 2 第2のレジスタ
- 55 3 メモリ変数格納部
- 4 メモリ
- 5 パイプラインシミュレータ制御部

5 【0039】(1)命令から変更する場合実行ステージで、mem_adr、mem_data にストアするアドレスとデータをそれぞれ格納する。メモリステージで、メモリ4における mem_adr で示されるアドレスに、mem_data のデータを実際に格納する。

10 【0040】(2) 計算機の内部動作として参照、変更する場合これは、通常はないが、計算機と別のバスマスタになり得るデバイスをシミュレートする場合は、メモリの値をそのまま読み書きする。

15 【0041】(3) シミュレータのコマンドとしてユーザが会話的に変更、参照する場合表示を要求するアドレスの値と、mem_adr の値とを比較し、一致すれば、mem_data の内容を表示し、一致しなければ、メモリ4の値を表示する。

20 【0042】以上により、1命令ステップ実行終了後メモリの内容を表示させるとメモリの値が変更されていることになり、実際のメモリが変更されるのは、ハードウェアとタイミングが一致する。

25 【0043】このように、上記実施例では、レジスタやメモリを変更、参照する場合、種々の場合毎に、第1のレジスタ1と第2のレジスタ2とを切換えたり、メモリ変数を選択的に用いて実行ステージの状態を出力するようにしたので、どんな場合であっても、ユーザにとって、自然なタイミングでのレジスタやメモリの内容を得ることができる。

30 【0044】

【発明の効果】以上説明したように、本発明のパイプライン計算機シミュレータによれば、実行ステージ終了後に、その実行ステージで演算処理を行った値をレジスタまたはメモリの値として出力するパイプラインシミュレータ制御部を備えたので、アクセスタイミングをハードウェアに忠実にシミュレートしながら、プログラムの論理デバッグに有用な1命令のステップ実行において、レジスタとメモリの変更内容を自然なタイミングで表示することができる。

40

図の説明

【図面の簡単な説明】

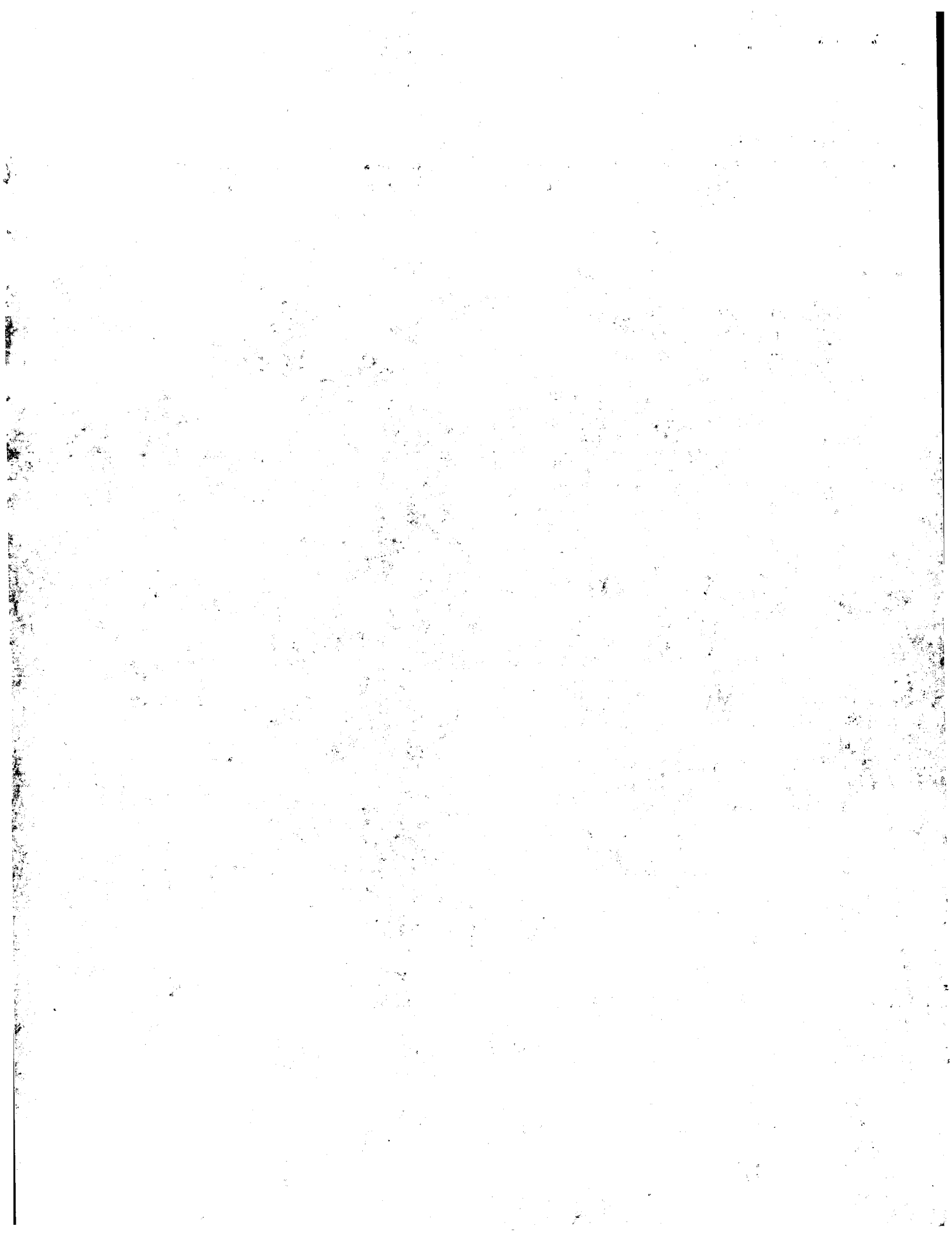
45 【図1】本発明の一実施例のパイプライン計算機シミュレータの構成図である。

【図2】パイプライン制御の一例を示す説明図である。

【図3】レジスタの競合が起こる場合のパイプラインの説明図である。

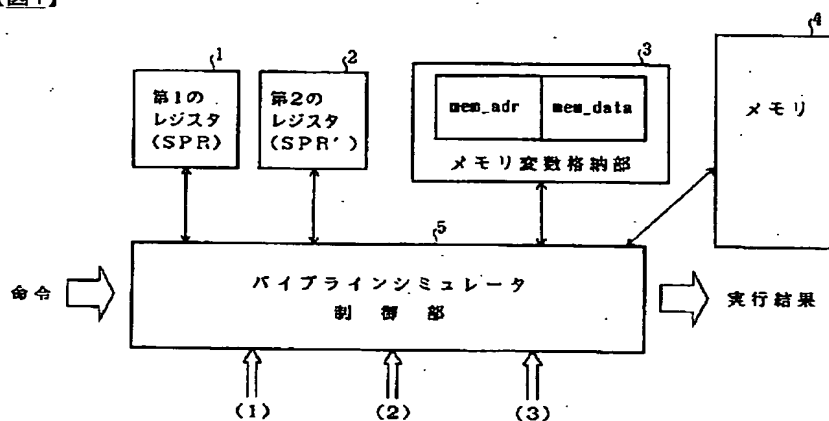
50 【図4】本発明のパイプライン計算機シミュレータにおける命令から変更する場合のレジスタの書き込み状態の説明図である。

【符号の説明】



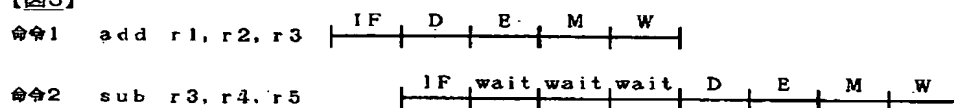
図面

【図1】



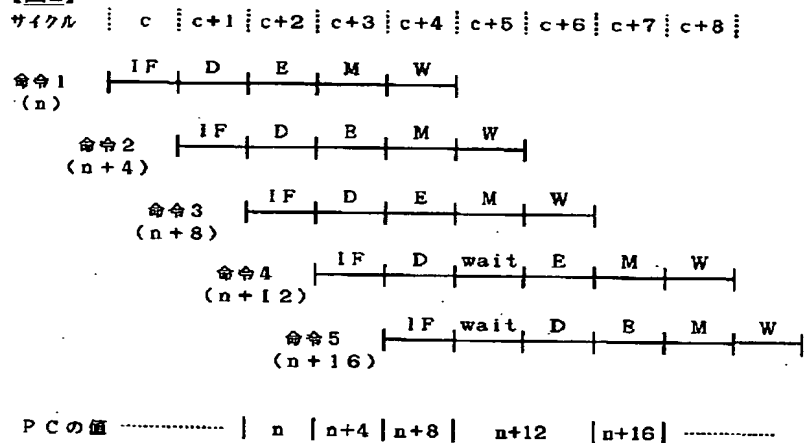
本発明の一実施例を示す構成図

【図3】



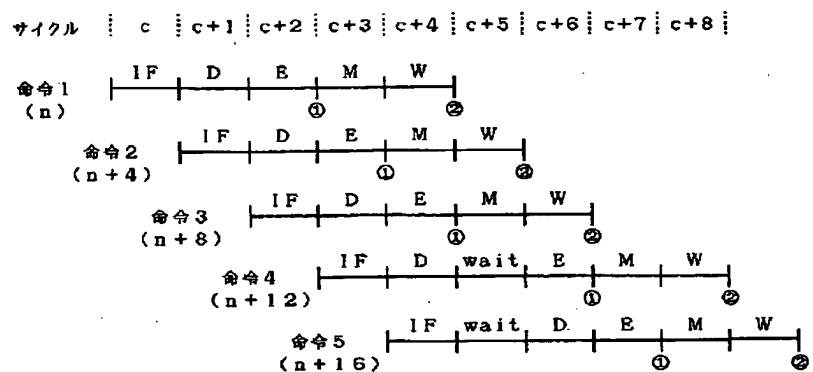
レジスタの競合が起こる場合のパイプラインの説明図

【図2】



パイプライン制御の一例を示す図

【図4】



PC の値 | n | n+4 | n+8 | n+12 | n+16 |

命令から変更する場合のレジスタの書き込み状態の説明図